

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-073784

(43)Date of publication of application : 18.03.1997

(51)Int.Cl. G11C 11/413

(21)Application number : 07-255546

(71)Applicant : NEC CORP

(22)Date of filing : 07.09.1995

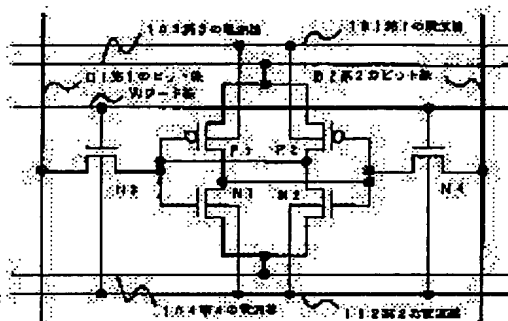
(72)Inventor : MIZUNO MASAYUKI

(54) SEMICONDUCTOR DEVICE AND ITS CONTROL CIRCUIT THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate that when a threshold voltage is lowered to make the operating speed of a MOS transistor fast, a stationary current becomes not to be ignored and then power consumption is increased.

SOLUTION: This device is provided with a first power source line 101 being a high potential, a second power source line 102 being a low potential, a third power source line 103 capable of setting to the same potential as that of the first power source line 101 or to a potential lower a little than that of the line 101 and a fourth power source line 104 settable to the same potential as that of the second power source line 102 or a potential higher a little than that of the line 102. Substrate terminal of pMOS transistors P1, P2 consisting of a static memory are connected to the first power source line 101 and the sources of transistors are connected to the third power source line 103 of respective substrate terminals and sources of nMOS transistors N1, N2 are respectively connected to the second power source line 102 and the fourth power source lines 104. At the time of a standby, a potential difference is made in between the first and the second power source lines and the third and the fourth power source lines and at the time of a driving are respectively made to equal potentials.



LEGAL STATUS

[Date of request for examination] 07.09.1995

[Date of sending the examiner's decision of rejection] 01.09.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

8 1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-73784

(43) 公開日 平成9年(1997)3月18日

(51) IntCl.⁴

G 1 1 C 11/413

識別記号

庁内整理番号

F I

G 1 1 C 11/34

技術表示箇所

3 3 5 A

審査請求 有 請求項の数 8 F D (全 11 頁)

(21) 出願番号

特願平7-255546

(22) 出願日

平成7年(1995)9月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 水野 正之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 鈴木 章夫

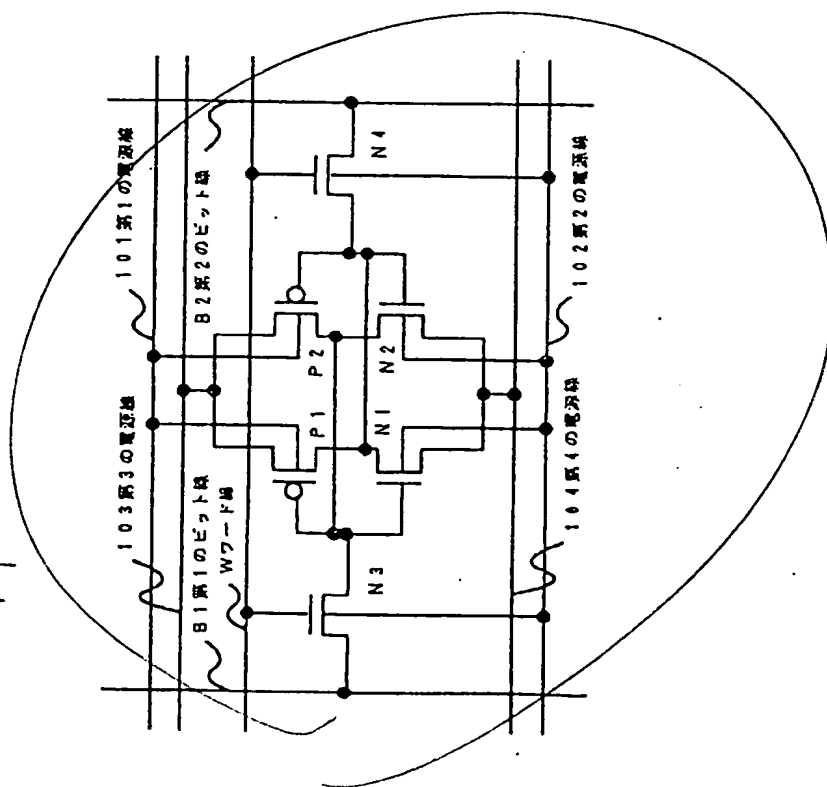
USP 5,726,562

(54) 【発明の名称】 半導体装置及びその制御回路

(57) 【要約】

【課題】 MOSトランジスタの動作速度を早めるべく、そのしきい電圧を低くすると、定常電流が無視できなくなり、消費電力が増大する。

【解決手段】 高電位の第1の電源線101と、低電位の第2の電源線102と、前記第1の電源線101の電位と等電位または若干低電位に設定可能な第3の電源線103と、前記第2の電源線102の電位と等電位または若干高電位に設定可能な第4の電源線104とを備える。スタチック型メモリセルを構成するpMOSトランジスタP1、P2の基板端子を第1の電源線101に、ソースを第3の電源線103にそれぞれ接続し、nMOSトランジスタN1、N2の各基板端子を第2の電源線102に、ソースを第4の電源線104にそれぞれ接続する。第1及び第2の電源線と、第3及び第4の電源線との間に、待機時には電位差を持たせ、駆動時には等電位とする。



【特許請求の範囲】

【請求項1】 MOSトランジスタを回路素子とし、そのしきい電圧を低く設定した半導体装置において、前記MOSトランジスタのソース端子を基板端子と等しくまたはこれよりも絶対電位を低く設定可能な電源線に接続したことを特徴とする半導体装置。

【請求項2】 高電位の第1の電源と、低電位の第2の電源と、前記第1の電源と等電位または若干低電位に設定可能な第3の電源と、前記第2の電源と等電位または若干高電位に設定可能な第4の電源とを備え、メモリセルは、第1のpMOSトランジスタと第1のnMOSトランジスタとを縦続接続した第1のインバータ回路と、第2のpMOSトランジスタと第2のnMOSトランジスタとを縦続接続した第2のインバータ回路とを背中合わせに接続し、第1のインバータ回路の入力端子に接続して第1のビット線とワード線に接続される第3のnMOSトランジスタと、第2のインバータ回路の出力端子に接続して第2のビット線とワード線に接続される第4のnMOSトランジスタとで構成され、前記第1及び第2のpMOSトランジスタの基板端子を第1の電源に、ソースを第3の電源にそれぞれ接続し、第1ないし第4のnMOSトランジスタの各基板端子を第2の電源に、ソースを第4の電源にそれぞれ接続してなる請求項1の半導体装置。

【請求項3】 高電位の第1の電源と、低電位の第2の電源と、前記第2の電源と等電位または若干高電位に設定可能な第4の電源とを備え、メモリセルは、第1の抵抗と第1のnMOSトランジスタとを接続した第1のインバータ回路と、第1の抵抗と第2のnMOSトランジスタとを縦続接続した第2のインバータ回路とを背中合わせに接続し、第1のインバータ回路の入力端子に接続して第1のビット線とワード線に接続される第3のnMOSトランジスタと、第2のインバータ回路の出力端子に接続して第2のビット線とワード線に接続される第4のnMOSトランジスタとで構成され、前記第1ないし第4のnMOSトランジスタの各基板端子を第2の電源に、ソースを第4の電源にそれぞれ接続してなる請求項1の半導体装置。

【請求項4】 高電位が供給される第1の電源線と、低電位が供給される第2の電源線と、前記第1の電源線に第1の電位差発生回路を介して接続されて第1の電源線の電位よりも若干低い電位が供給される第3の電源線と、前記第2の電源線に第2の電位差発生回路を介して接続されて第2の電源線の電位よりも若干高い電位が供給される第3の電源線と、前記第1の電源線と第3の電源線を短絡可能な第1のスイッチ回路と、前記第2の電源線と第4の電源線を短絡可能な第2のスイッチ回路と、前記第1のスイッチ回路と第2のスイッチ回路とを同時にオン、オフ制御する制御線とを備えることを特徴とする半導体装置の制御回路。

【請求項5】 第3の電源線と第4の電源線との間に、第3のスイッチ回路と第1の容量素子との直列回路と、第4のスイッチ回路と第2の容量素子との直列回路とがそれぞれ接続され、第3及び第4のスイッチ回路は背反的に動作される請求項4の半導体装置の制御回路。

【請求項6】 第1及び第2のスイッチ回路は、半導体装置の待機時に開放状態とし、駆動時に短絡状態とするように制御線に制御信号を入力可能とする請求項4または5の半導体装置の制御回路。

【請求項7】 請求項4ないし6の制御回路の第1ないし第4の電源線がそれぞれ第1ないし第4の電源として接続される請求項2の半導体装置。

【請求項8】 請求項4ないし6の制御回路の第1、第3、第4の電源線がそれぞれ第1、第3、第4の電源として接続される請求項3の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はMOS型半導体記憶装置のように、MOSトランジスタを用いた半導体装置と、この半導体装置を駆動する際の電源供給を制御するための制御回路に関する。

【0002】

【従来の技術】 従来の半導体記憶装置として図4に示すスタチック型のメモリセルがある。同図において、nMOSトランジスタN21とN22をクロス接続し、かつ各nMOSトランジスタN21、N22にそれぞれpMOSトランジスタP21、P22のソース・ドレインを縦続接続し、これらを高電位の第1の電源線101と低電位の第2の電源線102との間に接続している。また、前記各nMOSトランジスタN21、N22のゲートにはセレクト用のnMOSトランジスタN23、N24をそれぞれ介して第1及び第2のビット線B1、B2に接続し、かつこれらnMOSトランジスタN13、N14のゲートをワード線Wに接続している。

【0003】 この半導体記憶装置においては、ワード線Wに所要の電位を印加することで、ビット線B1、B2を介してトランジスタN21、N22、P21、P22で構成されるメモリセルに対してデータを読み書き可能であることは言うまでもなく、ここではその詳細な説明は省略する。

【0004】

【発明が解決しようとする課題】 この従来の半導体記憶装置での読み出し速度は、ワード線Wが有効になった時に、ビット線B1、B2の振幅が如何に早く大きくなるかで決まり、各MOSトランジスタP21、P22、N21～N24のオン電流が大きいほど速度が高くなる。したがって、各MOSトランジスタのしきい電圧を低下させると読み出し速度が速くなることになる。しかし、MOSトランジスタのしきい電圧を低下させた場合、第1の電源線101と第2の電源線102との間に流れる

定常電流が大きくなり、この定常電流は無視できなくなり、半導体記憶装置の消費電力を増大させる。

【0005】例えば、図4の半導体記憶装置をマイクロプロセッサに搭載させるキャッシュメモリに適用した場合を考える。通常、マイクロプロセッサを構成するトランジスタのしきい電圧は、nMOSトランジスタに関しては1種類、pMOSトランジスタに関しては1種類というように固定的に設定されている。マイクロプロセッサの動作速度を高めるために、しきい電圧の低いトランジスタのみで全体を構成した場合、キャッシュメモリにおける前記した定常電流が大きくなり、マイクロプロセッサ全体の消費電力を増加させる。このため、しきい電圧の低いnMOSトランジスタとしきい電圧の低いpMOSトランジスタ、しきい電圧の高いnMOSトランジスタとしきい電圧の高いpMOSトランジスタというように、2組で構成し、しきい電圧の高いトランジスタをキャッシュメモリに適用するという手法が必要となる。しかしながら、この手法を採用する場合には、2組のトランジスタを作り込む必要があり、半導体製造工程の増加を招き、製造コストを増加させるという問題が生じる。本発明の目的は、動作速度を向上する一方で消費電力の低減を可能にした半導体装置とその制御回路を提供することにある。

【0006】

【課題を解決するための手段】本発明の半導体装置はMOSトランジスタを回路素子とし、そのしきい電圧を低く設定した半導体装置において、MOSトランジスタの基板端子をソース端子よりも絶対電位の高い電源線に接続したことを特徴とする。例えば、高電位の第1の電源と、低電位の第2の電源と、前記第1の電源と等電位または若干低電位に設定可能な第3の電源と、前記第2の電源と等電位または若干高電位に設定可能な第4の電源とを備えており、半導体装置としてのメモリセルを構成するpMOSトランジスタの基板端子を第1の電源に、ソースを第3の電源にそれぞれ接続し、nMOSトランジスタの各基板端子を第2の電源に、ソースを第4の電源にそれぞれ接続する。

【0007】また、本発明の半導体装置の制御回路は、高電位が供給される第1の電源線と、低電位が供給される第2の電源線と、前記第1の電源線に第1の電位差発生回路を介して接続されて第1の電源線の電位よりも若干低い電位が供給される第3の電源線と、前記第2の電源線に第2の電位差発生回路を介して接続されて第2の電源線の電位よりも若干高い電位が供給される第3の電源線と、前記第1の電源線と第3の電源線を短絡可能な第1のスイッチ回路と、前記第2の電源線と第4の電源線を短絡可能な第2のスイッチ回路と、前記第1のスイッチ回路と第2のスイッチ回路とを同時にオン、オフ制御する制御線とを備える。また、第3の電源線と第4の電源線との間に、第1のスイッチ回路に連動する第4の

スイッチ回路と第2の容量素子を接続し、かつ第2のスイッチ回路に連動する第3のスイッチ回路と第1の容量素子を接続することが好ましい。

【0008】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明を6素子型のスタチック型メモリセルに適用した実施形態の回路図である。nMOSトランジスタN1とN2をクロス接続し、かつ各nMOSトランジスタN1、N2にそれぞれpMOSトランジスタP1、P2のソース・ドレインを縦続接続し、これらを高電位の第1の電源線101と低電位の第2の電源線102との間に接続している。換言すれば、前記トランジスタN1とP1とで第1のインバータ回路を構成し、トランジスタN2とP2とで第2のインバータ回路を構成し、これらのインバータ回路を互いに背中合わせに接続した構成とされる。また、前記各nMOSトランジスタN1、N2のゲートにはセレクト用のnMOSトランジスタN3、N4をそれぞれ介して第1及び第2のビット線B1、B2に接続し、かつこれらnMOSトランジスタN3、N4のゲートをワード線Wに接続している。

【0009】ここで、この実施形態では、前記第1の電源線101の電位よりも若干低電位の第3の電源線103と、第2の電源線102の電位よりも若干高電位の第4の電源線104を設けている。そして、前記nMOSトランジスタN1、N2はそのソースを第4の電源線104に接続し、その基板端子（バックゲート）を第2の電源線102に接続している。また、前記pMOSトランジスタP1、P2はそのソースを第3の電源線103に接続し、その基板端子を第1の電源線101に接続している。すなわち、nMOSトランジスタN1、N2では、ソースよりも基板端子を低電位とし、pMOSトランジスタP1、P2ではソースよりも基板端子を高電位として回路を構成している。

【0010】なお、図1のメモリセルの各トランジスタについて詳細な接続を説明すれば次の通りである。第1のpMOSトランジスタP1は、基板端子が第1の電源線101に、ソースが第3の電源線103に、ドレインが第1のnMOSトランジスタN1のドレインに、ゲートが同じく第1のnMOSトランジスタN1のゲートにそれぞれ接続される。第2のpMOSトランジスタP2は、基板端子が第1の電源線101に、ソースが第3の電源線103に、ドレインが第2のnMOSトランジスタN2のドレインに、ゲートが同じく第2のnMOSトランジスタN2のゲートにそれぞれ接続される。

【0011】また、第1のnMOSトランジスタN1は、基板端子が第2の電源線102に、ソースが第4の電源線104に、ドレインが前記第1のpMOSトランジスタP1のドレインと共に第3のnMOSトランジスタN3のドレインにそれぞれ接続される。第2のnMOS

SトランジスタN2は、基板端子が第2の電源線102に、ソースが第4の電源線104に、ドレインが前記第2のpMOSTランジスタP2のドレインと共に第4のnMOSTランジスタN4のドレインにそれぞれ接続される。さらに、第3のnMOSTランジスタN3は、基板端子が第2の電源線102に、ソースが第1のビット線B1にゲートがワード線Wにそれぞれ接続される。第4のnMOSTランジスタN4は、基板端子が第2の電源線102に、ソースが第2のビット線B2にゲートがワード線Wにそれぞれ接続される。

【0012】この半導体記憶装置では、各MOSTランジスタP1, P2, N1~N4の基板端子がソースと分離され、それぞれが異なる電源線に接続されている。このことにより、半導体記憶装置の動作時にはソースの電位を基板電位の電位と等しくし、半導体記憶装置の待機時にはnMOSTランジスタのソースの電位を基板電位の電位より高くし、pMOSTランジスタのソースの電位を基板電位の電位より低くすることができる。

【0013】いま、半導体記憶装置の待機時に、第1及び第2の電源線101, 102に対して第3及び第4の電源線103, 104の電位を低くしてnMOSTランジスタのソースの電位を基板電位より高くし、かつpMOSTランジスタのソースの電位を基板電位より低くすれば、各トランジスタにおけるしきい電圧は高くなり、したがって、待機時での各MOSTランジスタにおける定常電流が無くなり消費電力を削減することができる。

【0014】一方、半導体記憶装置の動作時に、第1及び第2の電源線101, 102に対して第3及び第4の電源線103, 104の電位を等しくして各MOSTランジスタのソースの電位を基板電位と等しくすれば、各トランジスタにおけるしきい電圧は初期の設定通りに低くなり、したがって、各トランジスタの動作速度が増加され、半導体記憶装置の高速動作が可能となる。

【0015】図2は図1に示した半導体記憶装置の第1ないし第4の各電源線101~104に対して所要の電位を供給するための制御回路を示す回路図である。第1の電源線101と第2の電源線102にはそれぞれ図外の電源から所定の電位が供給されている。そして、第1の電源線101と第3の電源線103との間にはnMOSTランジスタN11で構成される第1の電位差発生回路が接続され、第3の電源線103に対して第1の電源線101よりもnMOSTランジスタN11のゲート・ソース間電圧に相当する電位だけ低い電位を供給している。同様に、第2の電源線102と第4の電源線104との間にはpMOSTランジスタP11で構成される第2の電位差発生回路が接続され、第4の電源線104に対して第2の電源線102よりもpMOSTランジスタP11のゲート・ソース間電圧に相当する電位だけ高い電位を供給している。

【0016】また、前記第1の電源線101と第3の電

源線103との間には第1のスイッチ回路としてのpMOSTランジスタP12のソース・ドレインが接続され、そのゲートは制御線105に接続される。同様に、前記第2の電源線102と第4の電源線104との間には第2のスイッチ回路としてのnMOSTランジスタN12のソース・ドレインが接続され、そのゲートは前記制御線105に接続されたインバータ回路INV1の出力端に接続される。

【0017】さらに、前記第3の電源線103と第4の電源線との間には、第1の容量素子C1と第3のスイッチ回路としてのnMOSTランジスタN13を直列接続した回路と、第2の容量素子C2と第4のスイッチ回路としてのnMOSTランジスタN14を直列接続した回路とをそれぞれ接続し、各トランジスタN13, N14のゲートをそれぞれ前記制御線105と、インバータ回路INV1の出力端に接続される。

【0018】この制御回路において、まず、制御線105がローレベルの時を考える。この時、第1のスイッチ回路P12と第2のスイッチ回路N12と第3のスイッチ回路N13が閉じ、第4のスイッチ回路N14が開く。第3の電源線103の電位は第1の電源線101の電位と等しくなり、第4の電源線104の電位は第2の電源線102の電位と等しくなる。定常状態では第1の容量素子C1には、第1の電源線101と第2の電源線102の電位差に対応する電荷が保存される。

【0019】次に、制御線105がハイレベルの時を考える。この時、第1のスイッチ回路P12と第2のスイッチ回路N12と第3のスイッチ回路N13が開き、第4のスイッチ回路N14が閉じる。第1の電位差発生回路N11により、第3の電源線103の電位は第1の電源線101の電位より低いレベルになる。また、第2の電位差発生回路P11により、第4の電源線104の電位は第2の電源線102の電位より高いレベルになる。定常状態では第2の容量素子C2には、前記の第1の電源線101の電位より低いレベルと前記の第2の電源線102の電位より高いレベルの電位差に対応する電荷が保存される。

【0020】このように、制御線105のローレベルとハイレベルの状態に応じて、第3の電源線103と第4の電源線104の電位は異なるが、それぞれの電位に対応して第1の容量素子C1と第2の容量素子C2があるため、制御線105がローレベルとハイレベルの状態を移行するときの時間を短縮できる。すなわち、制御線105がローレベルとハイレベルの状態を変化させたとき、第1の容量素子C1と第2の容量素子C2に保存された電荷による電位差の初期値は、第3の電源線103と第4の電源線104が定常状態になったときの電位レベルであるため、第3の電源線103と第4の電源線104の電位を早く定常状態に移行するように働く。

【0021】この制御回路を前記第1の実施例の半導体

記憶装置に適用した場合、制御線 105 がローレベル（動作時）とハイレベル（待機時）の状態に応じて半導体記憶装置の動作時には半導体記憶装置を構成する MOS トランジスタのソースの電位を基板電位の電位と等しくし、半導体記憶装置の待機時には nMOS トランジスタのソースの電位を基板電位の電位より高くし pMOS トランジスタのソースの電位を基板電位の電位より低くすることができる。

【0022】これにより、前記したように、nMOS トランジスタのソースの電位を基板電位の電位より高くした場合にしきい電圧は高くなり、pMOS トランジスタのソースの電位を基板電位より低くした場合にしきい電圧は高くなることから、動作時に MOS トランジスタのしきい電圧が低くなるため高速動作が可能となり、待機時に MOS トランジスタのしきい電圧が高くなるため定常電流がなくなり消費電力を削減できる。

【0023】図 3 は本発明の第 2 実施形態の回路図である。この実施形態では、第 1 実施形態の pMOS トランジスタ P1、P2 を抵抗 R1、R2 に置き換えたものである。すなわち、第 1 の実施形態の pMOS トランジスタ P1、P2 はそれぞれ nMOS トランジスタ N1、N2 の負荷として動作するものであり、抵抗 R1、R2 に置き換えても同様な機能が得られる。

【0024】この実施形態においても、各 MOS トランジスタ N1～N4 の基板端子がソースと分離され、異なる電源線に接続されているため、半導体記憶装置の動作時にはソースの電位を基板電位の電位と等しくすることで、しきい値電圧が低くされて高速動作が可能となり、半導体記憶装置の待機時には nMOS トランジスタのソースの電位を基板電位の電位より高くすることで、しきい電圧が高くされて定常電流が無くなり消費電力を削減できる。

【0025】なお、本発明の制御回路は本発明の半導体記憶装置にのみに適用できるのではなく、基板端子とソースとを独立した電源に接続可能に構成された MOS トランジスタからなる半導体装置であれば、動作時に MOS トランジスタのしきい電圧を低くすることで高速動作が可能となり、待機時に MOS トランジスタのしきい電圧を高くすること定常電流がなくなり消費電力を削減できる。

【0026】

【発明の効果】以上説明したように本発明の半導体装置では、MOS トランジスタの基板端子をソースと分離してそれぞれ異なる電位の電源線に接続しているため、半導体装置の動作時にはソースの電位を基板電位の電位と等しくすることでしきい電圧を低くして高速動作が可能となり、半導体装置の待機時にはソースの電位を基板電位の電位より高くすることしきい電圧を高くして定常電流を無くし、消費電力を削減できる。

【0027】また、本発明の制御回路では、第 1 及び第 2 の電源線に対して第 3、第 4 の電源線を設け、電位差発生回路及びスイッチ回路により第 3、第 4 の電源線の電位を第 1 及び第 2 の電源線の電位よりも絶対電位を低くし、あるいは等電位としているので、前記した本発明の半導体装置における半導体装置の高速動作と消費電力の削減を実現することができる。また、容量素子とスイッチ回路の直列回路を第 1、第 2 の電源線と第 3、第 4 の電源線との間に挿入することで、MOS トランジスタのソースの電位を高速に変化させることができ、前記した半導体装置の切り替えの高速化を実現することができる。

【図面の簡単な説明】

【図 1】本発明を半導体記憶装置に適用した第 1 の実施形態の回路図である。

【図 2】図 1 の半導体記憶装置を駆動制御するための制御回路の一実施形態の回路図である。

【図 3】本発明を半導体記憶装置に適用した第 2 の実施形態の回路図である。

【図 4】従来の半導体記憶装置の一例の回路図である。

【符号の説明】

P1、P2 pMOS トランジスタ

N1～N4 nMOS トランジスタ

101～104 電源線

105 制御線

B1、B2 ビット線

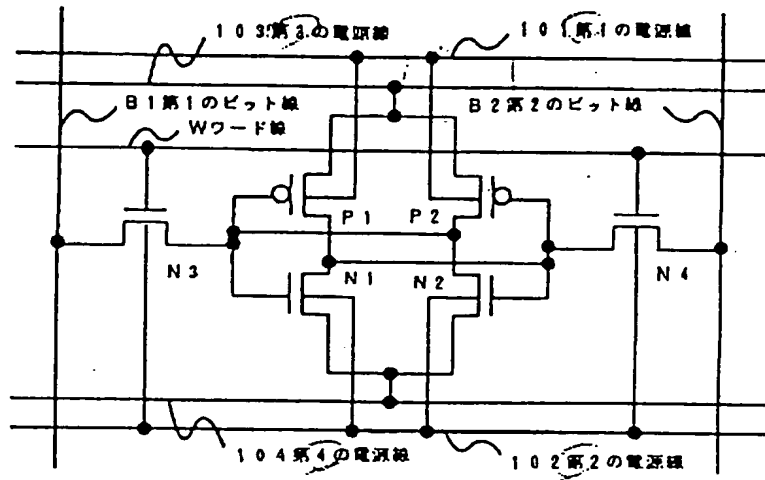
W ワード線

P11、N11 電位差発生回路

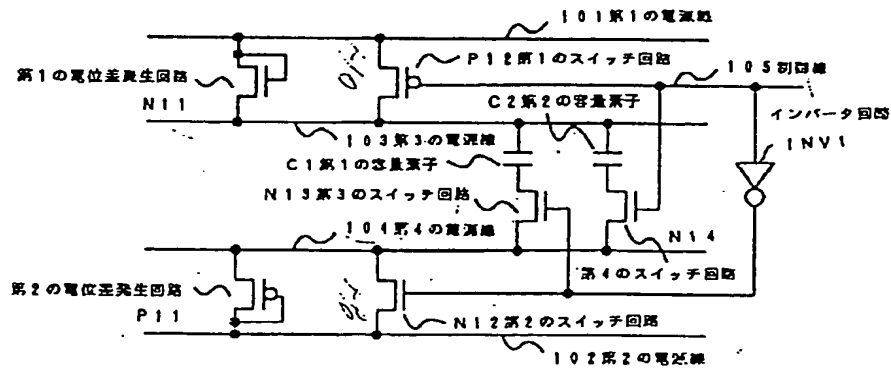
P12、N12～N14 スイッチ回路

C1、C2 容量素子

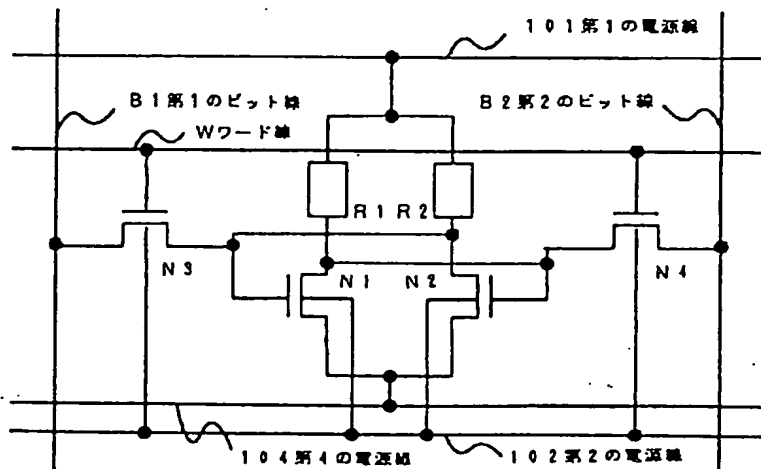
【図 1】



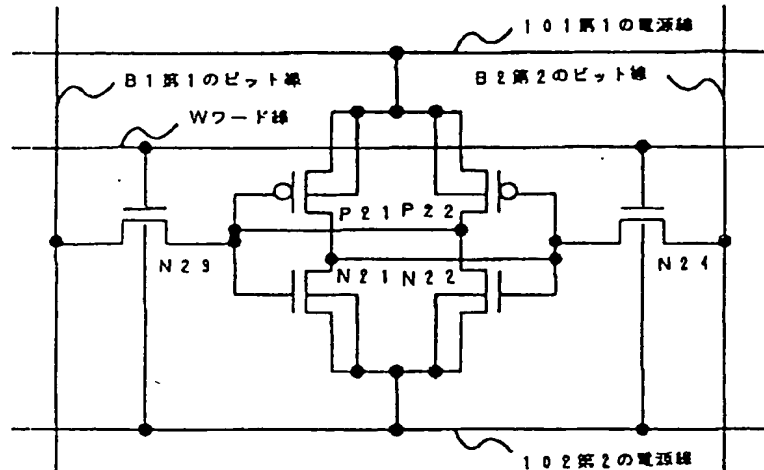
【図 2】



【図 3】



【図4】



【手続補正書】

【提出日】平成8年7月26日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体装置及びその制御回路

【特許請求の範囲】

【請求項1】 MOSトランジスタを回路素子とし、そのしきい電圧を低く設定した半導体装置において、前記MOSトランジスタのソース電位を、前記半導体装置の動作時には基板電位と等しく設定可能で、前記半導体装置の待機時には基板電位よりも絶対電位を高く設定可能な電源線に接続したことを特徴とする半導体装置。

【請求項2】 高電位の第1の電源と、低電位の第2の電源と、前記第1の電源と等電位または若干低電位に設定可能な第3の電源と、前記第2の電源と等電位または若干高電位に設定可能な第4の電源とを備え、メモリセルは、第1のpMOSトランジスタと第1のnMOSトランジスタとを縦続接続した第1のインバータ回路と、第2のpMOSトランジスタと第2のnMOSトランジスタとを縦続接続した第2のインバータ回路とを背中合わせに接続し、第1のインバータ回路の入力端子に接続して第1のビット線とワード線に接続される第3のnMOSトランジスタと、第2のインバータ回路の入力端子に接続して第2のビット線とワード線に接続される第4のnMOSトランジスタとで構成され、前記第1及び第2のpMOSトランジスタの基板端子を第1の電源に、ソースを第3の電源にそれぞれ接続し、第1ないし第4の

nMOSトランジスタの各基板端子を第2の電源に、ソースを第4の電源にそれぞれ接続してなる請求項1の半導体装置。

【請求項3】 高電位の第1の電源と、低電位の第2の電源と、前記第2の電源と等電位または若干高電位に設定可能な第4の電源とを備え、メモリセルは、第1の抵抗と第1のnMOSトランジスタとを接続した第1のインバータ回路と、第1の抵抗と第2のnMOSトランジスタとを縦続接続した第2のインバータ回路とを背中合わせに接続し、第1のインバータ回路の入力端子に接続して第1のビット線とワード線に接続される第3のnMOSトランジスタと、第2のインバータ回路の入力端子に接続して第2のビット線とワード線に接続される第4のnMOSトランジスタとで構成され、前記第1ないし第4のnMOSトランジスタの各基板端子を第2の電源に、ソースを第4の電源にそれぞれ接続してなる請求項1の半導体装置。

【請求項4】 高電位が供給される第1の電源線と、低電位が供給される第2の電源線と、前記第1の電源線に第1の電位差発生回路を介して接続されて第1の電源線の電位よりも若干低い電位が供給される第3の電源線と、前記第2の電源線に第2の電位差発生回路を介して接続されて第2の電源線の電位よりも若干高い電位が供給される第3の電源線と、前記第1の電源線と第3の電源線を短絡可能な第1のスイッチ回路と、前記第2の電源線と第4の電源線を短絡可能な第2のスイッチ回路と、前記第1のスイッチ回路と第2のスイッチ回路とを同時にオン、オフ制御する制御線とを備えることを特徴とする半導体装置の制御回路。

【請求項5】 第3の電源線と第4の電源線との間に、

第3のスイッチ回路と第1の容量素子との直列回路と、第4のスイッチ回路と第2の容量素子との直列回路とがそれぞれ接続され、第3及び第4のスイッチ回路は背反的に動作される請求項4の半導体装置の制御回路。

【請求項6】 第1及び第2のスイッチ回路は、半導体装置の待機時に開放状態とし、駆動時に短絡状態とするように制御線に制御信号を入力可能とする請求項4または5の半導体装置の制御回路。

【請求項7】 請求項4ないし6の制御回路の第1ないし第4の電源線がそれぞれ第1ないし第4の電源として接続される請求項2の半導体装置。

【請求項8】 請求項4ないし6の制御回路の第1、第3、第4の電源線がそれぞれ第1、第3、第4の電源として接続される請求項3の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はMOS型半導体記憶装置のように、MOSトランジスタを用いた半導体装置と、この半導体装置を駆動する際の電源供給を制御するための制御回路に関する。

【0002】

【従来の技術】従来の半導体記憶装置として図2に示すスタチック型のメモリセルがある。同図において、nMOSトランジスタN21とN22をクロス接続し、かつ各nMOSトランジスタN21、N22にそれぞれpMOSトランジスタP21、P22のソース・ドレインを縦続接続し、これらを高電位の第1の電源線101と低電位の第2の電源線102との間に接続している。また、前記各nMOSトランジスタN21、N22のゲートにはセレクト用のnMOSトランジスタN23、N24をそれぞれ介して第1及び第2のビット線B1、B2に接続し、かつこれらnMOSトランジスタN13、N14のゲートをワード線Wに接続している。

【0003】この半導体記憶装置においては、ワード線Wに所要の電位を印加することで、ビット線B1、B2を介してトランジスタN21、N22、P21、P22で構成されるメモリセルに対してデータを読み書き可能であることは言うまでもなく、ここではその詳細な説明は省略する。

【0004】

【発明が解決しようとする課題】この従来の半導体記憶装置での読み出し速度は、ワード線Wが有効になった時に、ビット線B1、B2の振幅が如何に早く大きくなるかで決まり、各MOSトランジスタP21、P22、N21～N24のオン電流が大きいほど速度が高くなる。したがって、各MOSトランジスタのしきい電圧を低下させると読み出し速度が速くなることになる。しかし、MOSトランジスタのしきい電圧を低下させた場合、第1の電源線101と第2の電源線102との間に流れる定常電流が大きくなり、この定常電流は無視できなくな

り、半導体記憶装置の消費電力を増大させる。

【0005】例えば、図4の半導体記憶装置をマイクロプロセッサに搭載させるキャッシュメモリに適用した場合を考える。通常、マイクロプロセッサを構成するトランジスタのしきい電圧は、nMOSトランジスタに関しては1種類、pMOSトランジスタに関しては1種類というように固定的に設定されている。マイクロプロセッサの動作速度を高めるために、しきい電圧の低いトランジスタのみで全体を構成した場合、キャッシュメモリにおける前記した定常電流が大きくなり、マイクロプロセッサ全体の消費電力を増加させる。このため、しきい電圧の低いnMOSトランジスタとしきい電圧の低いpMOSトランジスタ、しきい電圧の高いnMOSトランジスタとしきい電圧の高いpMOSトランジスタというように、2組で構成し、しきい電圧の高いトランジスタをキャッシュメモリに適用するという手法が必要となる。しかしながら、この手法を採用する場合には、2組のトランジスタを作り込む必要があり、半導体製造工程の増加を招き、製造コストを増加させるという問題が生じる。本発明の目的は、動作速度を向上する一方で消費電力の低減を可能にした半導体装置とその制御回路を提供することにある。

【0006】

【課題を解決するための手段】本発明の半導体装置はMOSトランジスタを回路素子とし、そのしきい電圧を低く設定した半導体装置において、MOSトランジスタのソース電位を、前記半導体装置の動作時には基板電位と等しく設定可能で、前記半導体装置の待機時には基板電位よりも絶対電位を高く設定可能な電源線に接続したことを特徴とする例えば、高電位の第1の電源と、低電位の第2の電源と、前記第1の電源と等電位または若干低電位に設定可能な第3の電源と、前記第2の電源と等電位または若干高電位に設定可能な第4の電源とを備えており、半導体装置としてのメモリセルを構成するpMOSトランジスタの基板端子を第1の電源に、ソースを第3の電源にそれぞれ接続し、nMOSトランジスタの各基板端子を第2の電源に、ソースを第4の電源にそれぞれ接続する。

【0007】また、本発明の半導体装置の制御回路は、高電位が供給される第1の電源線と、低電位が供給される第2の電源線と、前記第1の電源線に第1の電位差発生回路を介して接続されて第1の電源線の電位よりも若干低い電位が供給される第3の電源線と、前記第2の電源線に第2の電位差発生回路を介して接続されて第2の電源線の電位よりも若干高い電位が供給される第3の電源線と、前記第1の電源線と第3の電源線を短絡可能な第1のスイッチ回路と、前記第2の電源線と第4の電源線を短絡可能な第2のスイッチ回路と、前記第1のスイッチ回路と第2のスイッチ回路とを同時にオン、オフ制御する制御線とを備える。また、第3の電源線と第4の

電源線との間に、第1のスイッチ回路に連動する第4のスイッチ回路と第2の容量素子を接続し、かつ第2のスイッチ回路に連動する第3のスイッチ回路と第1の容量素子を接続することが好ましい。

【0008】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明を6素子型のスタチック型メモリセルに適用した実施形態の回路図である。nMOSトランジスタN1とN2をクロス接続し、かつ各nMOSトランジスタN1、N2にそれぞれpMOSトランジスタP1、P2のソース・ドレインを縦続接続し、これらを高電位の第1の電源線101と低電位の第2の電源線102との間に接続している。換言すれば、前記トランジスタN1とP1とで第1のインバータ回路を構成し、トランジスタN2とP2とで第2のインバータ回路を構成し、これらのインバータ回路を互いに背合わせに接続した構成とされる。また、前記各nMOSトランジスタN1、N2のゲートにはセレクト用のnMOSトランジスタN3、N4をそれぞれ介して第1及び第2のビット線B1、B2に接続し、かつこれらnMOSトランジスタN3、N4のゲートをワード線Wに接続している。

【0009】ここで、この実施形態では、前記第1の電源線101の電位よりも若干低電位の第3の電源線103と、第2の電源線102の電位よりも若干高電位の第4の電源線104を設けている。そして、前記nMOSトランジスタN1、N2はそのソースを第4の電源線104に接続し、その基板端子（バックゲート）を第2の電源線102に接続している。また、前記pMOSトランジスタP1、P2はそのソースを第3の電源線103に接続し、その基板端子を第1の電源線101に接続している。すなわち、nMOSトランジスタN1、N2では、ソースよりも基板端子を低電位とし、pMOSトランジスタP1、P2ではソースよりも基板端子を高電位として回路を構成している。

【0010】なお、図1のメモセルの各トランジスタについて詳細な接続を説明すれば次の通りである。第1のpMOSトランジスタP1は、基板端子が第1の電源線101に、ソースが第3の電源線103に、ドレインが第1のnMOSトランジスタN1のドレインに、ゲートが同じく第1のnMOSトランジスタN1のゲートにそれぞれ接続される。第2のpMOSトランジスタP2は、基板端子が第1の電源線101に、ソースが第3の電源線103に、ドレインが第2のnMOSトランジスタN2のドレインに、ゲートが同じく第2のnMOSトランジスタN2のゲートにそれぞれ接続される。

【0011】また、第1のnMOSトランジスタN1は、基板端子が第2の電源線102に、ソースが第4の電源線104に、ドレインが前記第1のpMOSトランジスタP1のドレインと共に第3のnMOSトランジスタ

N3のドレインにそれぞれ接続される。第2のnMOSトランジスタN2は、基板端子が第2の電源線102に、ソースが第4の電源線104に、ドレインが前記第2のpMOSトランジスタP2のドレインと共に第4のnMOSトランジスタN4のドレインにそれぞれ接続される。さらに、第3のnMOSトランジスタN3は、基板端子が第2の電源線102に、ソースが第1のビット線B1にゲートがワード線Wにそれぞれ接続される。第4のnMOSトランジスタN4は、基板端子が第2の電源線102に、ソースが第2のビット線B2にゲートがワード線Wにそれぞれ接続される。

【0012】この半導体記憶装置では、各MOSトランジスタP1、P2、N1～N4の基板端子がソースと分離され、それぞれが異なる電源線に接続されている。このことにより、半導体記憶装置の動作時にはソースの電位を基板電位と等しくし、半導体記憶装置の待機時にはnMOSトランジスタのソースの電位を基板電位より高くし、pMOSトランジスタのソースの電位を基板電位より低くすることができる。

【0013】いま、半導体記憶装置の待機時に、第1及び第2の電源線101、102に対して第3及び第4の電源線103、104の電位を低くしてnMOSトランジスタのソースの電位を基板電位より高くし、かつpMOSトランジスタのソースの電位を基板電位より低くすれば、各トランジスタにおけるしきい電圧は高くなり、したがって、待機時での各MOSトランジスタにおける定常電流が無くなり消費電力を削減することができる。

【0014】一方、半導体記憶装置の動作時に、第1及び第2の電源線101、102に対して第3及び第4の電源線103、104の電位を等しくして各MOSトランジスタのソースの電位を基板電位と等しくすれば、各トランジスタにおけるしきい電圧は初期の設定通りに低くなり、したがって、各トランジスタの動作速度が増加され、半導体記憶装置の高速動作が可能となる。

【0015】図2は図1に示した半導体記憶装置の第1ないし第4の各電源線101～104に対して所要の電位を供給するための制御回路を示す回路図である。第1の電源線101と第2の電源線102にはそれぞれ図外の電源から所定の電位が供給されている。そして、第1の電源線101と第3の電源線103との間にはnMOSトランジスタN11で構成される第1の電位差発生回路が接続され、第3の電源線103に対して第1の電源線101よりもnMOSトランジスタN11のゲート・ソース間電圧に相当する電位だけ低い電位を供給している。同様に、第2の電源線102と第4の電源線104との間にはpMOSトランジスタP11で構成される第2の電位差発生回路が接続され、第4の電源線104に対して第2の電源線102よりもpMOSトランジスタP11のゲート・ソース間電圧に相当する電位だけ高い電位を供給している。

【0016】また、前記第1の電源線101と第3の電源線103との間には第1のスイッチ回路としてのpMOSトランジスタP12のソース・ドレインが接続され、そのゲートは制御線105に接続される。同様に、前記第2の電源線102と第4の電源線104との間には第2のスイッチ回路としてのnMOSトランジスタN12のソース・ドレインが接続され、そのゲートは前記制御線105に接続されたインバータ回路INV1の出力端に接続される。

【0017】さらに、前記第3の電源線103と第4の電源線との間には、第1の容量素子C1と第3のスイッチ回路としてのnMOSトランジスタN13を直列接続した回路と、第2の容量素子C2と第4のスイッチ回路としてのnMOSトランジスタN14を直列接続した回路とをそれぞれ接続し、各トランジスタN13、N14のゲートをそれぞれ前記制御線105と、インバータ回路INV1の出力端に接続される。

【0018】この制御回路において、まず、制御線105がローレベルの時を考える。この時、第1のスイッチ回路P12と第2のスイッチ回路N12と第3のスイッチ回路N13が閉じ、第4のスイッチ回路N14が開く。第3の電源線103の電位は第1の電源線101の電位と等しくなり、第4の電源線104の電位は第2の電源線102の電位と等しくなる。定常状態では第1の容量素子C1には、第1の電源線101と第2の電源線102の電位差に対応する電荷が保存される。

【0019】次に、制御線105がハイレベルの時を考える。この時、第1のスイッチ回路P12と第2のスイッチ回路N12と第3のスイッチ回路N13が開き、第4のスイッチ回路N14が閉じる。第1の電位差発生回路N11により、第3の電源線103の電位は第1の電源線101の電位より低いレベルになる。また、第2の電位差発生回路P11により、第4の電源線104の電位は第2の電源線102の電位より高いレベルになる。定常状態では第2の容量素子C2には、前記の第1の電源線101の電位より低いレベルと前記の第2の電源線102の電位より高いレベルの電位差に対応する電荷が保存される。

【0020】このように、制御線105のローレベルとハイレベルの状態に応じて、第3の電源線103と第4の電源線104の電位は異なるが、それぞれの電位に対応して第1の容量素子C1と第2の容量素子C2があるため、制御線105がローレベルとハイレベルの状態を移行するときの時間を短縮できる。すなわち、制御線105がローレベルとハイレベルの状態を変化させたとき、第1の容量素子C1と第2の容量素子C2に保存された電荷による電位差の初期値は、第3の電源線103と第4の電源線104が定常状態になったときの電位レベルであるため、第3の電源線103と第4の電源線104の電位を早く定常状態に移行するように働く。

【0021】この制御回路を前記第1の実施例の半導体記憶装置に適用した場合、制御線105がローレベル

(動作時)とハイレベル(待機時)の状態に応じて半導体記憶装置の動作時には半導体記憶装置を構成するMOSトランジスタのソースの電位を基板電位と等しくし、半導体記憶装置の待機時にはnMOSトランジスタのソースの電位を基板電位より高くしpMOSトランジスタのソースの電位を基板電位より低くすることができる。

【0022】これにより、前記したように、nMOSトランジスタのソースの電位を基板電位より高くした場合にしきい電圧は高くなり、pMOSトランジスタのソースの電位を基板電位より低くした場合にしきい電圧は高くなることから、動作時にMOSトランジスタのしきい電圧が低くなるため高速動作が可能となり、待機時にMOSトランジスタのしきい電圧が高くなるため定常電流がなくなり消費電力を削減できる。

【0023】図3は本発明の第2実施形態の回路図である。この実施形態では、第1実施形態のpMOSトランジスタP1、P2を抵抗R1、R2に置き換えたものである。すなわち、第1の実施形態のpMOSトランジスタP1、P2はそれぞれnMOSトランジスタN1、N2の負荷として動作するものであり、抵抗R1、R2に置き換えても同様な機能が得られる。

【0024】この実施形態においても、各MOSトランジスタN1～N4の基板端子がソースと分離され、異なる電源線に接続されているため、半導体記憶装置の動作時にはソースの電位を基板電位と等しくすることで、しきい値電圧が低くされて高速動作が可能となり、半導体記憶装置の待機時にはnMOSトランジスタのソースの電位を基板電位より高くすることで、しきい電圧が高くなって定常電流が無くなり消費電力を削減できる。

【0025】なお、本発明の制御回路は本発明の半導体記憶装置にのみに適用できるのではなく、基板端子とソースとを独立した電源に接続可能に構成されたMOSトランジスタからなる半導体装置であれば、動作時にMOSトランジスタのしきい電圧を低くすることで高速動作が可能となり、待機時にMOSトランジスタのしきい電圧を高くすること定常電流がなくなり消費電力を削減できる。

【0026】

【発明の効果】以上説明したように本発明の半導体装置では、MOSトランジスタの基板端子をソースと分離してそれぞれ異なる電位の電源線に接続しているため、半導体装置の動作時にはソースの電位を基板電位と等しくすることでしきい電圧を低くして高速動作が可能となり、半導体装置の待機時にはソースの電位を基板電位より高くすることでしきい電圧を高くして定常電流を無くし、消費電力を削減できる。

【0027】また、本発明の制御回路では、第1及び第2の電源線に対して第3、第4の電源線を設け、電位差

発生回路及びスイッチ回路により第 3, 第 4 の電源線の電位を第 1 及び第 2 の電源線の電位よりも絶対電位を低くし、あるいは等電位としているので、前記した本発明の半導体装置における半導体装置の高速動作と消費電力の削減を実現することができる。また、容量素子とスイッチ回路の直列回路を第 1, 第 2 の電源線と第 3, 第 4 の電源線との間に挿入することで、MOS トランジスタのソースの電位を高速に変化させることができ、前記した半導体装置の切り替えの高速化を実現することができる。

【図面の簡単な説明】

【図 1】本発明を半導体記憶装置に適用した第 1 の実施形態の回路図である。

【図 2】図 1 の半導体記憶装置を駆動制御するための制

御回路の一実施形態の回路図である。

【図 3】本発明を半導体記憶装置に適用した第 2 の実施形態の回路図である。

【図 4】従来の半導体記憶装置の一例の回路図である。

【符号の説明】

P 1, P 2 pMOS トランジスタ

N 1 ~ N 4 nMOS トランジスタ

1 0 1 ~ 1 0 4 電源線

1 0 5 制御線

B 1, B 2 ビット線

W ワード線

P 1 1, N 1 1 電位差発生回路

P 1 2, N 1 2 ~ N 1 4 スイッチ回路

C 1, C 2 容量素子